

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 63-131565

(43)Date of publication of application : 03.06.1988

(51)Int.Cl.

H01L 27/08

H01L 29/78

(21)Application number : 61-276544

(71)Applicant : HITACHI LTD

(22)Date of filing : 21.11.1986

(72)Inventor : HAMADA AKIYOSHI

TAKEDA EIJI

IGURA YASUO

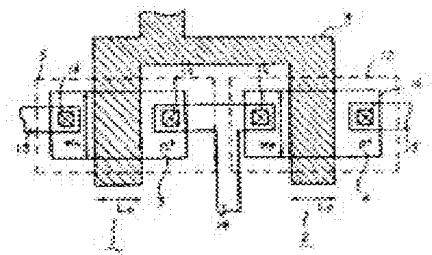
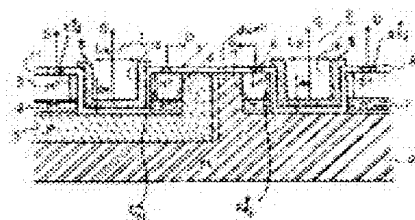
IZAWA RYUICHI

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To constitute an inverter circuit by forming devices having different effective channel length in the same area and combining a plurality of simple body transistors having the same channel width and different effective channel length.

CONSTITUTION: A p- type semiconductor layer is shaped to the surface of a p well 5 on an n-type substrate, a recessed trench 10 in width L_n and depth d_n is formed to the surface, a dielectric layer 11 is shaped onto a semiconductor surface on the trench and a gate electrode 8 is formed onto the layer 11. Likewise, an n- type semiconductor layer is formed to the surface on the n-type substrate, a recessed trench 10' in width L_p and depth d_p is shaped to the surface, and the dielectric layer 11 is formed onto the trench 10'. In a CMOS transistor having such structure, transistors having different effective channel length can be shaped arbitrarily in the same area ($L_n W_n = L_p W_p$). $\beta(W_n/L)(W_p/L) = W_m/W_p$ holds, and L represents the effective channel length of the MOS transistor and W channel width. Accordingly, W is kept constant and a β ratio is determined by L , thus forming a CMOS inverter without increasing an inactive region.

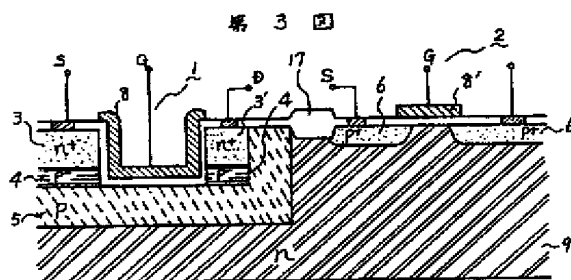


**PARTIAL TRANSLATION OF
JAPANESE PATENT PUBLICATION No. S63-131565**

[Description of Reference Character]

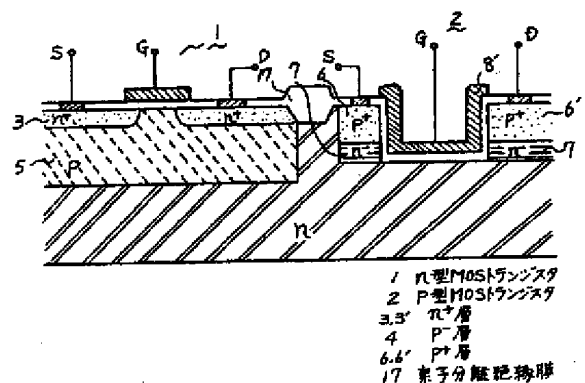
- 1 n-type MOS transistor
- 2 p-type MOS transistor
- 3, 3' n⁺ layer
- 4, 19, 19' p⁻ layer
- 5 p well
- 6, 6' p⁺ layer
- 7, 18, 18' n⁻ layer
- 8, 8' gate electrode
- 9 n-type substrate
- 10, 10' recess
- 11 gate insulating film
- 12 n well
- 13 source electrode
- 14 drain electrode
- 15 source electrode
- 16 contact hole
- 17 element isolation insulating film
- 20 side spacer

[Fig. 3]



[Fig. 4]

第 4 図



(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開昭63-131565

(43) 公開日 昭和63年(1988) 6 月3日

(51) Int. Cl. ⁵	識別記号	F I
H O 1 L 27/08	3 2 1	
29/78	3 0 1	

審査請求 未請求 請求項の数 1 (全 3 頁) (5)

(21) 出願番号 特願昭61-276544

(22) 出願日 昭和61年(1986) 11月21日

(71) 出願人 000000510

株式会社日立製作所

東 京

(72) 発明者 濱田 明美

*

(72) 発明者 武田 英次

*

(72) 発明者 井倉 康雄

*

(72) 発明者 井沢 龍一

*

(54) 【発明の名称】半導体装置

(57) 【要約】

【目的】 同一チャネル幅で異なる実効チャネル長をもつ単体トランジスタを複数組み合わせることによってインバータ回路を構成することにある

【効果】 不活性領域をふやすことなく C M O S インバータを形成することが可能となる

【産業上の利用分野】 同一チャネル幅で、異なる実効チャネル長をもつ半導体装置に関する

【特許請求の範囲】

請求の範囲テキストはありません。

【発明の詳細な説明】

詳細な説明テキストはありません。

【図面の簡単な説明】

図面の簡単な説明テキストはありません。

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑫ 公開特許公報(A)

昭63-131565

⑤ Int.Cl.⁴H 01 L 27/08
29/78

識別記号

3 2 1
3 0 1

庁内整理番号

C-7735-5F
V-8422-5F

④ 公開 昭和63年(1988)6月3日

審査請求 未請求 発明の数 1 (全3頁)

⑬ 発明の名称 半導体装置

⑰ 特 願 昭61-276544

⑱ 出 願 昭61(1986)11月21日

⑲ 発 明 者 濱 田 明 美 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

⑳ 発 明 者 武 田 英 次 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉑ 発 明 者 井 倉 康 雄 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉒ 発 明 者 井 沢 龍 一 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内

㉓ 出 願 人 株式会社日立製作所 東京都千代田区神田駿河台4丁目6番地

㉔ 代 理 人 弁理士 小川 勝男 外1名

明 細 書

1. 発明の名称

半導体装置

2. 特許請求の範囲

1. 一定面積内に形成されるCMOSトランジスタにおいて、チャネル幅を一定とし、実効的なチャネル長を変えることによつて、前記トランジスタの伝達コンダクタンスを異なるようにすることを特徴とする半導体装置。

2. 特許請求の範囲第1項の半導体装置において、異なる伝達コンダクタンスをもつトランジスタを組み合わせたことを特徴とする半導体装置。

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は微細MOSFETで、チャネル領域を深くすることに係り、同一チャネル幅で、異なる実効チャネル長をもつ半導体装置に関する。

〔従来の技術〕

従来の装置は、特開昭61-23669号に記載のように単体トランジスタに関するものであつた。

〔発明が解決しようとする問題点〕

上記従来技術は、異なる実効チャネル長と同一チャネル幅をもつ複数のトランジスタを組み合わせる点について配慮がされておらず、回路への適用が考えられていなかった。

本発明の目的は、同一チャネル幅で異なる実効チャネル長をもつ単体トランジスタを複数組み合わせることによつてインバータ回路を構成することにある。

〔問題点を解決するための手段〕

上記目的は、薄層リ技術によつて、同一面積内に実効的なチャネル長の異なるデバイスを形成することにより、達成される。

〔作用〕

従来インバータ回路は、入出力特性、スイッチング特性も共に、回路を構成するトランジスタの β 比を、チャネル幅 W を変えることにより調整して決まっていた。本発明における半導体装置は W が同じでもチャネル長 L が異なるため、 β 比を L によつて決められる。それによつて、同一面積の

特開昭63-131565(2)

単体トランジスタにより、インバータ回路を構成でき、駆動体することがない。

〔実施例〕

以下、本発明の一実施例を第1図により説明する。n型基板上にpウェル5を形成し、表面に深さ $d_n \ll d_{well}$ なるp⁺型半導体の層を設け、表面に幅L。約1 μ m、深さd。約1.2 μ mの凹型の溝10が形成されこの上をおおうように半導体表面に誘電体層11が形成され、更にその上にポリシリコンよりなるゲート電極8が形成されている。又この溝の左右にはn型不純物が例えば拡散され深さ x_{n1} のソース拡散域3及び x_{n1} のドレイン拡散域3'が

$$x_{n1}, x_{n1}' < d_n$$

となるように例えば深さ約0.5 μ mにそれぞれ形成されている。また通常の配線技術でその上にソース電極及びドレイン電極がそれぞれ形成されている。同様に、n型基板上の表面に深さ d_p なるn⁺型半導体の層を設け、表面に幅 $L_p \sim 1\mu$ m、深さ $d_p \sim 1.2\mu$ mの凹型の溝10'が形成され、

実効チャネル長である。従来は、Lを一定としチャネル幅Wを変えることで β 比を一定にしていた。本発明では第1図に示したMOS構造の特徴を生かし、Wを一定としてLによつて β 比を決める。この結果、不活性領域をふやすことなくCMOSインバータを形成することが可能となる。

第3図は、本発明を溝埋りゲート型トランジスタと、通常のMOSトランジスタとの組み合わせによつて実現したものである。本実施例では、p-nchトランジスタを通常のMOSトランジスタとしているが、第4図に示すように、n-nchトランジスタを通常のMOSトランジスタとすることも可能である。本実施例は、実施例1と同様の効果がある。

第5図は、第1図で示した実施例のソース・ドレイン拡散層をLDD(Lightly Doped Drain)構造にして、内部電界の緩和を図つたものである。本実施例によれば、高耐圧化と共に実施例1と同様の効果がある。

第6図は、第5図で示した実施例を第3図へ適

この上をおおうように半導体表面に誘電体層11が形成され、更にその上にポリシリコンよりなるゲート電極8'が形成されている。又この溝の左右にはp型不純物が例えば拡散され深さ x_{p1} のソース拡散域6'及び x_{p1} のドレイン拡散域6が

$$x_{p1}, x_{p1}' < d_p$$

となるように例えば深さ約0.5 μ mにそれぞれ形成されている。また通常の配線技術でその上にソース電極及びドレイン電極がそれぞれ形成されている。また、基板はp型基板でもよく、その時はPMOSを形成する際に必ずnウェル12を形成しなければならない。

このように構造のCMOSTランジスタでは、第2図に示すように、同一面積($L_p W_p = L_n W_n$)内に、実効的なチャネル長の異なるトランジスタを任意に形成することができる。さて、CMOSインバータでは β 比を一定値に設定して回路素子の設計を行なっている。 β とは

$$\beta = (W_n / L_n) / (W_p / L_p) = W_n / W_p$$

で定義される。但し、LはMOSトランジスタの

用したものである。第4図へ適用することも可能であり、高耐圧化と共に実施例1と同様の効果がある。

〔発明の効果〕

本発明によれば、同一面積のp型及びn型のMOSトランジスタにてCMOSインバータが構成されるので、従来のWによつて β 比を調整したCMOSインバータよりも高集積化が期待できる。

4. 図面の簡単な説明

第1図は本発明の一実施例のCMOSTランジスタの断面図、第2図は実施例を示すC-MOSインバータのパターン平面図、第3図～第6図は本発明の他の実施例のCMOSTランジスタの断面図である。

1…n型MOSトランジスタ、2…p型MOSトランジスタ、3, 3'…n⁺層、4, 19, 19'…p⁺層、5…pウェル、6, 6'…p⁺層、7, 18, 18'…n⁺層、8, 8'…ゲート電極、9…n型基板、10, 10'…凹部、11…ゲート絶縁膜、12…nウェル、13…ソース電極、

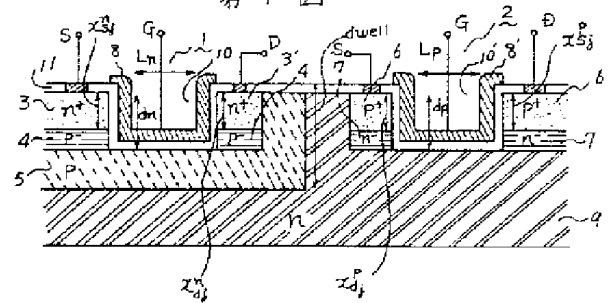
特開昭63-131565(3)

14…ドレイン電極、15…ソース電極、16…
コンタクトホール、17…素子分離絶縁膜、20
…サイドスペーサ。

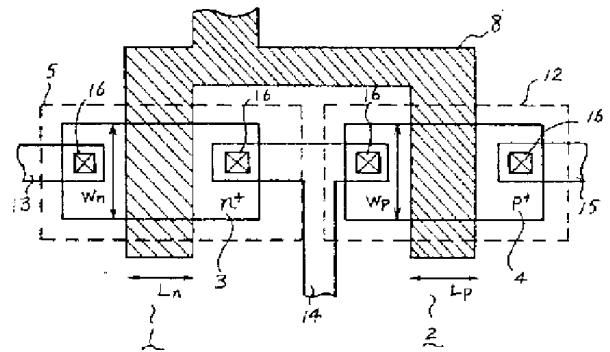
代理人 弁理士 小川勝男



第1図

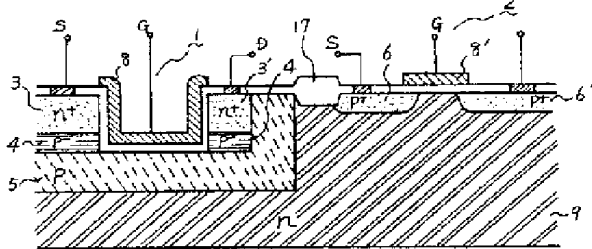


第2図

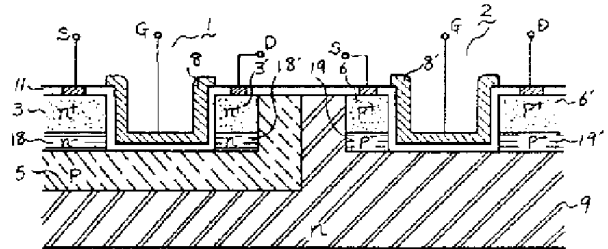


1 n型MOSトランジスタ 4 P-層 7 n-層
2 p型MOSトランジスタ 5 Pウェル 8 ゲート電極
3.3' n+層 6.6' P+層 9 n型基板

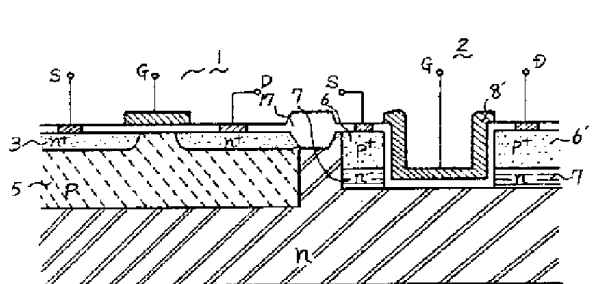
第3図



第5図

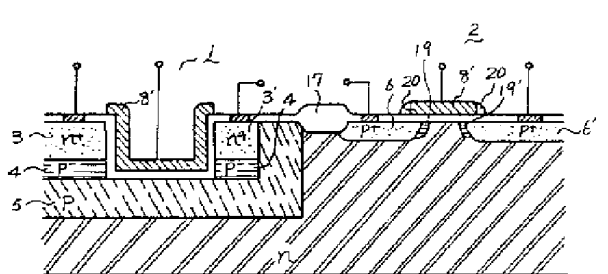


第4図



1 n型MOSトランジスタ
2 p型MOSトランジスタ
3.3' n+層
4 P-層
6.6' P+層
17 素子分離絶縁膜

第6図



1 n型MOSトランジスタ
2 p型MOSトランジスタ
3.3' n+層
5.6' P+層
18.18' n-層
19.19' P-層
20 サイドスペーサ